

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-283801

(43)Date of publication of application : 31.10.1997

(51)Int.Cl.

H01L 33/00  
 B41J 2/44  
 B41J 2/45  
 B41J 2/455  
 H01L 27/15  
 H01L 29/74

(21)Application number : 08-088089

(71)Applicant : NIPPON SHEET GLASS CO LTD

(22)Date of filing : 10.04.1996

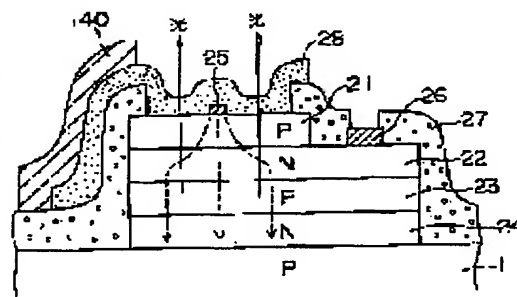
(72)Inventor : KUSUDA YUKIHISA  
 ONO SEIJI  
 OTSUKA SHUNSUKE

## (54) SURFACE LIGHT EMITTING THYRISTOR AND SELF-SCANNING LIGHT EMITTING DEVICE

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To improve external light emitting efficiency by providing a metal wiring in contact with a transparent conductive film, in contact with a first electrode and covering an insulating film covering a layered structure and an opening which includes the first electrode and exposes a light emitting surface.

**SOLUTION:** An N-type semiconductor layer 24, a P-type semiconductor layer 23, an N-type semiconductor layer 22 and a P-type semiconductor layer 21 are sequentially deposited on an N-type semiconductor substrate 1. The PNP structure is covered with an insulating film 27 of SiO<sub>2</sub>, and an opening is formed in a light emitting surface including an anode. An ITO film 28 is formed over the opening and the insulating film 27. An Al wiring 140 is formed on the ITO film 28 without covering the light emitting surface. Ohmic contact is made between the AuZn anode 25 and GaAs layer 21, and current flows to the cathode. Although a part of light generated in the gate layers 22 and 23 is blocked by the fine electrode 25, most of the light passes through the transparent ITO film 28 and is taken out to the outside, which improves external light emitting efficiency.



## LEGAL STATUS

[Date of request for examination]

24.02.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the  
 examiner's decision of rejection or application  
 converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of  
 rejection]

[Date of requesting appeal against examiner's decision  
 of rejection]

BEST AVAILABLE COPY

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平9-283801

(43)公開日 平成9年(1997)10月31日

(51)Int.Cl. <sup>8</sup>	識別記号	序内整理番号	F I	技術表示箇所
H 0 1 L	33/00		H 0 1 L 33/00	J
B 4 1 J	2/44		27/15	B
	2/45		B 4 1 J 3/21	L
	2/455		H 0 1 L 29/74	E
H 0 1 L	27/15			

審査請求 未請求 請求項の数7 O L (全 9 頁) 最終頁に続く

(21)出願番号 特願平8-88089

(22)出願日 平成8年(1996)4月10日

(71)出願人 000004008

日本板硝子株式会社

大阪府大阪市中央区道修町3丁目5番11号

(72)発明者 橘田 幸久

大阪府大阪市中央区道修町3丁目5番11号

日本板硝子株式会社内

(72)発明者 大野 誠治

大阪府大阪市中央区道修町3丁目5番11号

日本板硝子株式会社内

(72)発明者 大塚 俊介

大阪府大阪市中央区道修町3丁目5番11号

日本板硝子株式会社内

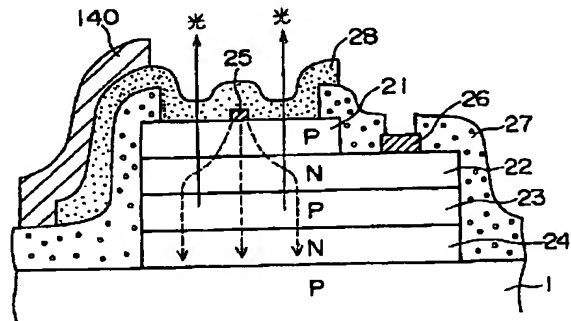
(74)代理人 弁理士 岩佐 義幸

(54)【発明の名称】 面発光サイリスタおよび自己走査型発光装置

(57)【要約】

【課題】 外部発光効率の良い面発光サイリスタを提供する。

【解決手段】 面発光サイリスタは、N形の基板1上に、N形の半導体層24と、P形の半導体層23と、N形の半導体層22と、P形の半導体層21とがこの順に積層され、半導体層21上に設けられたアノード電極25と、半導体層22上に設けられたゲート電極と、前記積層構造を覆う絶縁被膜27と、アノード電極を含み発光面を露出させる開口と、アノード電極に接触し、かつ、前記開口を覆うように設けられた酸化インジウム被膜28と、酸化インジウム被膜と接触するように設けられた金属配線140とを備える。



## 【特許請求の範囲】

【請求項1】第1導電形の基板上に、第1導電形の第1の半導体層と、第2導電形の第2の半導体層と、第1導電形の第3の半導体層と、第2導電形の第4の半導体層とがこの順に積層され、第4の半導体層上に設けられた第1の電極と、第3の半導体層上に設けられた第2の電極とを備える面発光サイリスタにおいて、前記積層構造を覆う絶縁被膜と、前記第1の電極を含み発光面を露出させる開口と、前記第1の電極に接触し、かつ、前記開口を覆うように設けられた透明導電膜と、前記透明導電膜と接触するように設けられた金属配線と、を備えることを特徴とする面発光サイリスタ。

【請求項2】第1導電形の基板上に、第2導電形の第2の半導体層と、第1導電形の第3の半導体層と、第2導電形の第4の半導体層とがこの順に積層され、第4の半導体層上に設けられた第1の電極と、第3の半導体層上に設けられた第2の電極とを備える面発光サイリスタにおいて、

前記積層構造を覆う絶縁被膜と、前記第1の電極を含み発光面を露出させる開口と、前記第1の電極に接触し、かつ、前記開口を覆うように設けられた透明導電膜と、前記透明導電膜と接触するように設けられた金属配線と、を備えることを特徴とする面発光サイリスタ。

【請求項3】前記透明導電膜は、酸化インジウムまたは酸化インジウムスズよりなる、請求項1または2記載の面発光サイリスタ。

【請求項4】発光動作のためのしきい電圧またはしきい電流の制御電極を有する発光素子を複数個配列し、各発光素子の前記制御電極をその近傍に位置する少なくとも1つの発光素子の制御電極に、接続用抵抗または電気的に一方向性を有する電気素子を介して接続するとともに、各発光素子に電源ラインを負荷抵抗を介して前記制御電極に接続し、かつ各発光素子にクロックラインを接続して形成した自己走査型発光装置において、前記発光素子を、請求項3記載の面発光サイリスタとし、この面発光サイリスタの第1の電極は、前記クロックラインに接続され、前記面発光サイリスタの第2の電極は、前記制御電極であることを特徴とする自己走査型発光装置。

【請求項5】前記金属配線は、隣接する前記発光素子間に延びる細長部を有するくし形状である、請求項4記載の自己走査型発光装置。

【請求項6】スイッチング動作のためのしきい電圧またはしきい電流の第1の制御電極を有するスイッチ素子を複数個配列し、各スイッチ素子の第1の制御電極をその近傍に位置する少なくとも1つのスイッチ素子の第1の制御電極に、接続用抵抗または電気的に一方向性を有する電気素子を介して接続するとともに、各スイッチ素子

に電源ラインを負荷抵抗を介して第1の制御電極に接続し、かつ各スイッチ素子にクロックラインを接続して形成した自己走査スイッチ素子アレイと、発光動作のためのしきい電圧またはしきい電流の第2の制御電極を有する発光素子を複数個配列した発光素子アレイとからなり、

前記発光素子アレイの第2の制御電極を対応する前記スイッチ素子の第1の制御電極と電気的手段にて接続し、各発光素子に発光のための電流を印加するラインを設けた自己走査型発光装置において、

前記発光素子を、請求項3記載の面発光サイリスタとし、この面発光サイリスタの第1の電極は、前記電流印加ラインに接続され、前記面発光サイリスタの第2の電極は、第2の制御電極であることを特徴とする自己走査型発光装置。

【請求項7】前記金属配線は、隣接する前記発光素子間に延びる細長部を有するくし形状である、請求項6記載の自己走査型発光装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、面発光サイリスタのような面発光素子の外部発光効率を高めるための構造、およびこのような面発光素子を用いた自己走査型発光装置に関するものである。

## 【0002】

【従来の技術】従来、面発光素子の代表的なものとして発光ダイオードおよびレーザダイオードが知られている。発光ダイオードは化合物半導体（GaAs, GaP, AlGaAs等）のPN接合またはPIN接合を形成し、これに順方向電圧を加えることにより接合内部にキャリアを注入し、その再結合の過程で生じる発光現象を利用するものである。

【0003】またレーザダイオードはこの発光ダイオードの内部に導波路を設けた構造となっている。あるしきい電流以上の電流を流すと注入される電子-正孔対が増加し反転分布状態となり、誘導放射による光子の増倍（利得）が発生し、へき開面などを利用した平行な反射鏡により発生した光が再び活性層に帰還されてレーザ発振が起こる。そして導波路の端面からレーザ光が出射されていくものである。

【0004】これら発光ダイオード、レーザダイオードと同じ発光メカニズムを有する発光素子として、発光機能を有する負性抵抗素子（発光サイリスタ、レーザサイリスタ等）も知られている。発光サイリスタは先に述べたような化合物半導体でPNPN構造を作るものであり、シリコンではサイリスタとして実用化されている。これらについては、例えば青木昌治編著「発光ダイオード」工業調査会、167～169頁に記載されている。この発光機能を有する負性抵抗素子（ここでは発光サイリスタと呼ぶ）の基本構造は、N形GaAs基板上にP

NPN構造を形成したもので、サイリスタと全く同じ構造である。電流-電圧特性もサイリスタと全く同じS字形負性抵抗の特性を示す。

【0005】また本出願人は、面発光型のサイリスタ（以下、面発光サイリスタという）を用いた自己走査型発光装置について、既に多くの出願において開示している。例えば、特開平2-263668号公報「発光装置」、特開平2-212170号公報「発光素子アレイおよびその駆動方法」、特開平3-55885号公報「発光・受光モジュール」、特開平3-200364号公報「光信号の読み取り方法及びこれに使用するスイッチ素子アレイ」、特開平4-23367号公報「発光装置」、特開平4-296579号公報「発光素子アレイの駆動方法」である。

【0006】多数個の発光素子を同一基板上に集積した発光素子アレイはその駆動用ICと組み合わせて光プリンタ等の書き込み用光源として利用されている。本発明者らは発光素子アレイの構成要素としてPNPN構造を持つ面発光サイリスタに注目し、発光点の自己走査が実現できることを既に特許出願し、光プリンタ用光源として実装上簡便となること、発光素子ピッチを細かくできること、コンパクトな自己走査型発光装置を作製できること等を示した。

【0007】

【発明が解決しようとする課題】面発光サイリスタのような面発光素子においては、電流を注入する電極の真下に発光中心が位置し、電極自身が遮光層となって外部発光効率が良くないという問題がある。この問題を面発光サイリスタを例に説明する。

【0008】図1(a)、(b)は、メサ型のPNPN構造の従来の面発光サイリスタの断面図および平面図を示す。この面発光サイリスタはN形半導体基板1上に形成されたN形半導体層24、P形半導体層23、N形半導体層22、P形半導体層21と、P形半導体層21にオーミック接触するように形成されたアノード電極40とを備えている。図1(a)の構造上には、図示しないが全体に絶縁被膜（光を透過する絶縁材料よりなる）が設けられ、その上にA1配線140が設けられている。絶縁被膜には、電極40とA1配線140とを電気的に接続するためのコンタクトホールCが開けられている。また、N形半導体基板1の裏面には、カソード電極（図示せず）が設けられている。

【0009】このようなPNPN構造の面発光サイリスタにおいては、アノード電極40から流れる電流は、図1(a)に矢印で示すように、電極40の真下に向かって主に流れる。したがってゲート層22、23での発光中心は電極40の真下にある。このように発光中心が電極40の真下にあるため、光が電極40自身さらにはA1配線140によって遮られる結果、外部発光効率が良くない。

【0010】また電極40に近い所では、注入電流が大きいため発光光量は大きい、電極40から遠ざかるに従って、注入電流が小さくなるため発光光量は小さくなる。これは、外部発光効率を低下させる要因の1つともなっている。

【0011】光を遮る電極40およびA1配線140の代わりに透明電極材料であるITO（酸化インジウムスズ）を用いることが考えられるが、GaAs系の半導体材料とはオーミック接触をとりにくいこと、ITOは抵抗が大きい、A1配線の代わりに用いるには適していないという問題がある。

【0012】この発明の目的は、ITOを構造の一部として用いることを可能にし、外部発光効率を高めた面発光サイリスタを提供することにある。

【0013】この発明の他の目的は、上記面発光サイリスタを用いた自己走査型発光装置を提供することにある。

【0014】

【課題を解決するための手段】本発明は、第1導電形の基板上に、必要ならば第1導電形の第1の半導体層と、第2導電形の第2の半導体層と、第1導電形の第3の半導体層と、第2導電形の第4の半導体層とがこの順に積層され、第4の半導体層上に設けられた第1の電極と、第3の半導体層上に設けられた第2の電極とを備える面発光サイリスタにおいて、前記積層構造を覆う絶縁被膜と、前記第1の電極を含み発光面を露出させる開口と、前記第1の電極に接触し、かつ、前記開口を覆うように設けられた透明導電膜と、前記透明導電膜と接触するように設けられた金属配線とを備えることを特徴とする。

【0015】前記透明導電膜は、酸化インジウムまたは酸化インジウムスズとするのが好適である。

【0016】また本発明は、発光動作のためのしきい電圧またはしきい電流の制御電極を有する発光素子を複数個配列し、各発光素子の前記制御電極をその近傍に位置する少なくとも1つの発光素子の制御電極に、接続用抵抗または電気的に一方方向性を有する電気素子を介して接続するとともに、各発光素子に電源ラインを負荷抵抗を介して前記制御電極に接続し、かつ各発光素子にクロックラインを接続して形成した自己走査型発光装置において、前記発光素子を、前記面発光サイリスタとし、この面発光サイリスタの第1の電極は、前記クロックラインに接続され、前記面発光サイリスタの第2の電極は、前記制御電極であることを特徴とする。

【0017】さらに本発明は、スイッチング動作のためのしきい電圧またはしきい電流の第1の制御電極を有するスイッチ素子を複数個配列し、各スイッチ素子の第1の制御電極をその近傍に位置する少なくとも1つのスイッチ素子の第1の制御電極に、接続用抵抗または電気的に一方方向性を有する電気素子を介して接続するとともに

に、各スイッチ素子に電源ラインを負荷抵抗を介して第

1の制御電極に接続し、かつ各スイッチ素子にクロックラインを接続して形成した自己走査スイッチ素子アレイと、発光動作のためのしきい電圧またはしきい電流の第2の制御電極を有する発光素子を複数個配列した発光素子アレイとからなり、前記発光素子アレイの第2の制御電極を対応する前記スイッチ素子の第1の制御電極と電気的手段にて接続し、各発光素子に発光のための電流を印加するラインを設けた自己走査型発光装置において、前記発光素子を、前記面発光サイリスタとし、この面発光サイリスタの第1の電極は、前記電流印加ラインに接続され、前記面発光サイリスタの第2の電極は、第2の制御電極であることを特徴とする。

【0018】上記の各自己走査型発光装置においては、前記金属配線を、隣接する前記発光素子間に延びる細長部を有するくし形状とするのが好適である。

【0019】

【発明の実施の形態】

【0020】

【実施例1】図2は、本発明の一実施例である面発光サイリスタの断面図である。この面発光サイリスタは、N形半導体基板1上にGaAsよりなるN形半導体層24、P形半導体層23、N形半導体層22、P形半導体層21が順に積層されている。P形半導体層21上にAuZnよりなる微小なアノード電極25、N形半導体層22上にAuGeNiよりなるゲート電極26、N形基板1の裏面にカソード電極（図示せず）が設けられている。

【0021】このPNPN構造は、SiO<sub>2</sub>よりなる絶縁被膜27で覆われ、アノード電極25を含む発光面に開口が設けられる。開口および絶縁被膜27の一部は透明電極材料である酸化インジウムスズ（ITO）膜28で被覆される。このITO膜28上に、発光面を覆わないようにして、Al配線140が設けられている。

【0022】この構造の面発光サイリスタによれば、アノード電極25は、フォトリソグラフィで作成できる最小のサイズとすることができ、このアノード電極25を含む発光面上にITO膜28を被覆するので、マスク合わせが不要となる。すなわち図1の従来構造では、電極40上の絶縁被膜にコンタクトホールCを開けるのにマスク合わせを必要とするが、本実施例では、微小電極25を含む開口にITO膜28を被覆するので、従来のようなマスク合わせは不要となる。

【0023】本実施例の面発光サイリスタによれば、AuZnよりなるアノード電極25と下側のGaAs層21とはオーミック接触がとれるので、電極より注入された電流は、点線矢印で示すように、カソード電極に向かって拡がって流れていく。ゲート層22、23中で発生した光は、微小電極25により一部遮られるものの、大半は透明なITO膜28を透過して外部へ取出される。したがって、図1の従来構造に比べて外部発光効率は極

めて向上する。

【0024】なお、ITOは抵抗値が高いために、配線金属としては用いることができないので、ITO膜28に接触させてAl配線140を用いている。

【0025】以上の実施例は、N形基板上に、順にN形、P形、N形、P形の半導体層を積層した面発光サイリスタを説明したが、P形基板上に、順にP形、N形、P形、N形の半導体層を積層した面発光サイリスタとすることもできる。この場合には、最上層のカソード電極の材料はN形GaAs層とオーミック接触のとれるAuGeNiを、ゲート電極の材料はP形GaAs層とオーミック接触のとれるAuZnとする。

【0026】また、この実施例では、半導体基板の直上に、半導体基板と同一導電形の半導体層を積層しているが、これは以下の理由による。すなわち、一般に、半導体基板表面に直接PN（あるいはNP）接合を形成すると、その形成した半導体層の結晶性の悪化から、デバイスとしての特性が劣化する傾向がある。つまり、基板表面に結晶層をエピタキシャル成長する場合、基板表面近傍層の結晶性が、結晶層がある一定以上に成長した後の結晶性と比べて、悪くなっているためである。このため、半導体基板と同一の半導体層を一旦形成してから、PN（あるいはNP）接合を形成すると、上述した問題は解決できるからである。したがって、この半導体層を介することが好ましい。

【0027】また、以上の実施例では、透明電極材料としてITOを用いたが、酸化インジウムであっても良い。

【0028】

【実施例2】本実施例は、本発明の面発光サイリスタを用いた自己走査型発光装置の1つの例である。

【0029】まず、本実施例の自己走査型発光装置の原理を説明するための等価回路図を図3に示す。発光素子として、面発光サイリスタT（-2）～T（+2）を用い、面発光サイリスタT（-2）～T（+2）には、各々ゲート電極G<sub>-2</sub>～G<sub>+2</sub>が設けられている。各々のゲート電極には、負荷抵抗R<sub>L</sub>を介して電源電圧V<sub>GK</sub>が印加される。また、各々のゲート電極G<sub>-2</sub>～G<sub>+2</sub>は、相互作用を作るために結合用抵抗R<sub>1</sub>を介して電氣的に接続されている。また、各単体発光サイリスタのアノード電極に、3本の転送クロックライン（φ<sub>1</sub>、φ<sub>2</sub>、φ<sub>3</sub>）が、それぞれ3素子おきに（繰り返されるように）接続される。

【0030】動作を説明すると、まず転送クロックφ<sub>3</sub>がハイレベルとなり、面発光サイリスタT（0）がオンしているとする。このとき3端子サイリスタの特性から、ゲート電極G<sub>0</sub>は零ボルト近くまで引き下げられる。電源電圧V<sub>GK</sub>を仮に5ボルトとすると、負荷抵抗R<sub>L</sub>、結合用抵抗R<sub>1</sub>のネットワークから各面発光サイリスタのゲート電圧が決まる。そして、面発光サイリスタ

T (0) に近い素子のゲート電圧が最も低下し、以降順にT (0) から離れるにしたがいゲート電圧は上昇して

$$V_{G0} < V_{G1} = V_{G-1} < V_{G2} = V_{G-2}$$

これらの電圧の差は、負荷抵抗 $R_L$ 、結合用抵抗 $R_1$ の値を適当に選択することにより設定することができる。

【0032】3端子サイリスタのアノード側のターンオン電圧 $V_{on}$ は、ゲート電圧よりPN接合の拡散電位 $V_{dif}$ だけ高い電圧となることが知られている。

$$【0033】 V_{on} \approx V_G + V_{dif} \quad (2)$$

したがって、アノードにかかる電圧をこのターンオン電圧 $V_{on}$ より高く設定すれば、その発光サイリスタはオンすることになる。

【0034】さてこの面発光サイリスタT (0) がオンしている状態で、次の転送クロックパルス $\phi_1$ にハイレベル電圧 $V_H$ を印加する。このクロックパルス $\phi_1$ は面発光サイリスタT (+1) とT (-2) に同時に加わるが、ハイレベル電圧 $V_H$ の値を次の範囲に設定すると、面発光サイリスタT (+1) のみをオンさせることができる。

$$【0035】 V_{G-2} + V_{dif} > V_H > V_{G+1} + V_{dif} \quad (3)$$

これで面発光サイリスタT (0)、T (+1) が同時にオンしていることになる。そしてクロックパルス $\phi_3$ のハイレベル電圧を切ると、面発光サイリスタT (0) がオフとなりオン状態の転送ができたことになる。

【0036】このように、本実施例では抵抗ネットワークで各面発光サイリスタのゲート電極間を結ぶことにより、面発光サイリスタに転送機能をもたせることが可能となる。

【0037】上に述べたような原理から、転送クロック $\phi_1$ 、 $\phi_2$ 、 $\phi_3$ のハイレベル電圧を順番に互いに少しずつ重なるように設定すれば、発光サイリスタのオン状態は順次転送されていく。すなわち、発光点が順次転送され、自己走査型発光装置を実現することができる。

【0038】図4は、面発光サイリスタのアレイ部分の平面図である。図2と同一の構成要素には、同一の参照番号を付して示す。SiO<sub>2</sub>膜27 (図4には図示せず) に設けられた開口29を覆うように、面発光サイリスタのアレイ方向にITO膜28が設けられる。このITO膜28上にAl配線140が設けられる。Al配線140は、面発光サイリスタのアレイ方向に延びる基部141と、基部に垂直方向であって、面発光サイリスタ間に延びる細長部142とからなり、いわゆるくし形状となっている。このように面発光サイリスタ間に細長部142を設けるのは、次の理由による。すなわち、アノード電極25には、Al配線140からITO膜28を経て電流が供給される。Al配線140からITO膜28へ流れる電流の分布を考えた場合、Al配線140の細長部142があることによって、Al配線140とアノード電極25との間の抵抗を小さくすることができる

いく。これは次のように表せる。

【0031】

(1)

という利点がある。また、細長部142を設けることによって、サイリスタ間相互の電位の影響を防止することができるという利点もある。

【0039】

【実施例3】本実施例は、本発明者らが特開平2-14584号公報にて開示した自己走査型発光装置であって、本発明の面発光サイリスタを適用できる例の1つである。

【0040】本実施例では、電気的接続の方法としてダイオードを用いた例について述べる。本実施例の自己走査型発光装置の原理を説明するための等価回路図を図5に示す。これは発光しきい電圧、電流が外部から制御できる発光サイリスタとして、本発明による3端子の面発光サイリスタを用いた場合を表している。面発光サイリスタT (-2) ~ T (+2) は、一列に並べられた構成となっている。G-2 ~ G+2は、面発光サイリスタT (-2) ~ T (+2) のそれぞれのゲート電極を表す。 $R_L$ はゲート電極の負荷抵抗を表し、D-2 ~ D+2は電気的相互作用を行うダイオードを表す。また $V_{GK}$ は電源電圧を表す。各単体面発光サイリスタのアノード電極に、2本の転送クロックライン ( $\phi_1$ ,  $\phi_2$ ) がそれぞれ1素子おきに接続される。

【0041】動作を説明する。まず転送クロック $\phi_2$ がハイレベルとなり、面発光サイリスタT (0) がオンしているとする。このとき3端子サイリスタの特性からゲート電極 $G_0$ は零ボルト近くまで引き下げられる。電源電圧 $V_{GK}$ を仮に5ボルトとすると、抵抗 $R_L$ 、ダイオードD-2 ~ D+2のネットワークから各発光サイリスタのゲート電圧が決まる。そして発光サイリスタT (0) に近い素子のゲート電圧が最も低下し、以降順にT (0) から離れるにしたがいゲート電圧は上昇していく。しかしながら、ダイオード特性の一方方向性、非対称性から、電圧を下げる効果は、T (0) の右方向にしか働かない。すなわちゲート電極 $G_1$ は $G_0$ に対し、ダイオードの順方向立ち上がり電圧 $V_{dif}$  (PN接合の拡散電位に等しい) だけ高い電圧に設定され、ゲート電極 $G_2$ は $G_1$ に対し、さらにダイオードの順方向立ち上がり電圧 $V_{dif}$ だけ高い電圧に設定される。一方、T (0) の左側のゲート電極 $G_{-1}$ はダイオードD-1が逆バイアスになっているため電流が流れず、したがって電源電圧 $V_{GK}$ と同電位となる。

【0042】次の転送クロックパルス $\phi_1$ は、最近接の発光サイリスタT (1)、T (-1)、そしてT (3) およびT (-3) 等に印加されるが、これらのなかで、最もターンオン電圧の最も低い素子はT (1) であり、T (1) のターンオン電圧は約 $G_1$ のゲート電圧+ $V_{dif}$ であるが、これは $V_{dif}$ の約2倍である。次にター

ン電圧の低い素子はT (3)であり、 $V_{dif}$  の約4倍である。T (−1)とT (−3)のオン電圧は、約 $V_{GK} + V_{dif}$ となる。

【0043】以上から、転送クロックパルスのハイレベル電圧を $V_{dif}$ の約2倍から $V_{dif}$ の約4倍の間に設定しておけば、発光サイリスタT (1)のみをオンさせることができ、転送動作を行うことができる。

【0044】

【実施例4】本実施例は、本発明者らが特開平2-263668号公報にて開示した自己走査型発光装置であって、本発明の面発光サイリスタを適用できる例の1つである。

【0045】本実施例の発光装置の原理を説明するための等価回路図を図6に示す。

【0046】この自己走査型発光装置は、スイッチ素子T (−1)〜T (2)、書き込み用発光素子L (−1)〜L (2)からなる。スイッチ素子部分の構成は、ダイオード接続を用いた例を示している。スイッチ素子のゲート電極 $G_{-1} \sim G_1$ は、書き込み用発光素子のゲートにも接続される。書き込み用発光素子のアノードには、書き込み信号 $S_{in}$ が加えられている。

【0047】以下に、この発光装置の動作を説明する。いま、スイッチ素子T (0)がオン状態にあるとすると、ゲート電極 $G_0$ の電圧は、 $V_{GK}$  (ここでは5ボルトと想定する)より低下し、ほぼ零ボルトとなる。したがって、書き込み信号 $S_{in}$ の電圧が、PN接合の拡散電位 (約1ボルト)以上であれば、発光素子L (0)を発光状態とすることができる。

【0048】これに対し、ゲート電極 $G_{-1}$ は約5ボルトであり、ゲート電極 $G_1$ は約1ボルトとなる。したがって、発光素子L (−1)の書き込み電圧は約6ボルト、発光素子L (1)の書き込み電圧は約2ボルトとなる。これから、発光素子L (0)のみに書き込む書き込み信号 $S_{in}$ の電圧は、約1〜2ボルトの範囲となる。発光素子L (0)がオン、すなわち発光状態に入ると、書き込み信号 $S_{in}$ ラインの電圧は約1ボルトに固定されてしまうので、他の発光素子が選択されてしまう、というエラーは防ぐことができる。

【0049】発光強度は書き込み信号 $S_{in}$ に流す電流量で決められ、任意の強度にて画像書き込みが可能となる。また、発光状態を次の素子に転送するためには、書き込み信号 $S_{in}$ ラインの電圧を一度零ボルトまでおとし、発光している素子をいったんオフにしておく必要がある。

【0050】この自己走査型発光装置において、スイッチ素子に図1で示した従来の面発光サイリスタを、発光素子に本発明の面発光サイリスタを用いることができる。また、スイッチ素子および発光素子の両方に本発明の面発光サイリスタを用いてもよい。なお、スイッチ素子からの発光は不要であるので遮光層を設けて、外部に

光が出ないようにする必要がある。

【0051】

【実施例5】本実施例は、複数の発光素子を同時に発光できるようにした自己走査型発光装置である。この発光装置の等価回路図を、図7に示す。

【0052】図6の回路と異なるのは、発光素子を3つずつのブロックとし、1ブロック内の発光素子は1つのスイッチ素子によって制御し、かつ1ブロック内の発光素子にそれぞれ別々の書き込み信号ライン $S_{in1}$ ,  $S_{in2}$ ,  $S_{in3}$ を接続して、発光素子の発光を制御した点である。図中、発光素子 $L_1$  (−1),  $L_2$  (−1),  $L_3$  (−1)、発光素子 $L_1$  (0),  $L_2$  (0),  $L_3$  (0)、発光素子 $L_1$  (−1),  $L_2$  (−1),  $L_3$  (−1)等が、ブロック化された発光素子を示している。

【0053】動作は図6の回路と同じで、1素子ずつ $S_{in}$ によって発光が書き込まれていたものが、同時に複数書き込まれ発光し、それがブロックごとに転送するようになったものである。

【0054】いま、LEDプリンタ等の一般的に知られる光プリンタ用の光源として、この発光装置を用いることを考えると、A4の短辺 (約21cm) 相当のプリントを16ドット/mmの解像度で印字するためには約3400ビットの発光素子が必要になる。

【0055】実施例4にて説明してきた発光装置では、発光しているポイントは常に一つで、上記の場合ではこの発光の強度を変化させて画像を書き込むことになる。これを用いて光プリンタを形成すると、通常使用されている光プリンタ用LEDアレイ (これは画像を書き込むポイントに位置するLEDが、同時に発光するよう駆動ICによって制御されている) に比べ、画像書き込み時に3400倍の輝度が必要となり、発光効率が同じならば3400倍の電流を流す必要がある。ただし発光時間は、逆に通常のLEDアレイに比べ1/3400となる。

【0056】しかし発光素子は、一般的に電流が増えると加速度的に寿命が短くなる傾向があり、いくらデューティが1/3400とはいえ従来のLEDプリンタに比べ、寿命が短くなってしまうという問題点を持っていた。

【0057】しかしながら本実施例によると、ビット総数が同じ条件で比較すると、この例では1ブロックに3素子が入っているため、実施例8の発光装置に比べて1素子の発光時間は3倍となる。したがって、オン状態の発光素子に流す電流は1/3でよく、実施例8に比べ長寿命化することが可能である。

【0058】本実施例では、1ブロックに3素子が含まれる場合を例示したが、この素子数が大きいほうが書き込み電流が小さくて済み、さらに長寿命化をはかることができる。



【0059】この自己走査型発光装置においても、スイッチ素子および/または発光素子に、本発明の面発光サイリスタを用いることができる。

【0060】

【実施例6】本発明の自己走査型発光装置の応用例として光プリンタへの応用について述べる。従来、LEDアレイの各画素に駆動用ICを接続したモジュールを使って光プリンタへ応用した例が知られている。光プリンタの原理図を図8に示す。まず円筒形の感光ドラム61の表面にアモルファスSi等の光導伝性を持つ材料(感光体)が作られている。このドラムはプリントの速度で回転している。まず帯電器67で感光体表面を一様に帯電させる。そして発光素子アレイ光プリントヘッド68で印字するドットイメージの光を感光体上に照射し、光の当たったところの帯電を中和する。次に現像器で感光体上の帯電状態に従って、トナーを感光体上に付ける。そして転写器62でカセット611中から送られてきた用紙69上にトナーを転写する。そしてその用紙は定着器63にて熱等を加えられ定着される。一方転写の終了したドラムは消去ランプ65で帯電が全面に渡って中和され、清掃器66で残ったトナーが除去される。

【0061】さて本発明による自己走査型発光装置を所定の実装基板上に直線状に一系列に配列した発光素子アレイモジュールを光プリントヘッドに適用する。光プリントヘッドの構造を図9に示す。この光プリントヘッドは、発光素子アレイ612とロッドレンズアレイ613とで構成され、レンズの焦点が感光ドラム61上に結ぶようになっている。この発光素子アレイモジュールからの光で感光ドラムに画像情報を書き込むことができる。

【0062】本実施例によれば、この発光素子アレイモジュールのコストを従来よりはるかに低減できるため、

低価格のプリントヘッド、低価格の光プリンタを提供することができる。

【0063】

【発明の効果】本発明によれば、外部発光効率の良い面発光サイリスタを提供することが可能であり、このような面発光サイリスタを用いた自己走査型発光装置は、外部発光効率が良いうえに、駆動回路を必要としないので、光プリンタ用の低価格の光プリントヘッドを実現することができる。

10 【図面の簡単な説明】

【図1】メサ型のPNPN構造の従来の面発光サイリスタの断面図および平面図である。

【図2】本発明の面発光ダイオードの断面図である。

【図3】自己走査型発光装置の等価回路図である。

【図4】A1配線を示す図である。

【図5】他の自己走査型発光装置の等価回路図である。

【図6】他の自己走査型発光装置の等価回路図である。

【図7】他の自己走査型発光装置の等価回路図である。

【図8】光プリンタ装置を示す図である。

20 【図9】発光素子モジュールとロッドレンズアレイとの組合せを示す図である。

【符号の説明】

1 N形基板

22, 24 N形半導体層

21, 23 P形半導体層

25 アノード電極

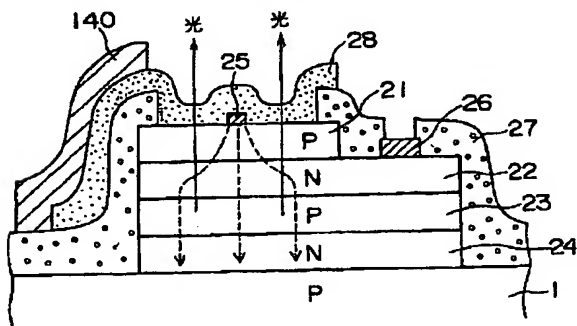
26 ゲート電極

27 SiO<sub>2</sub>膜

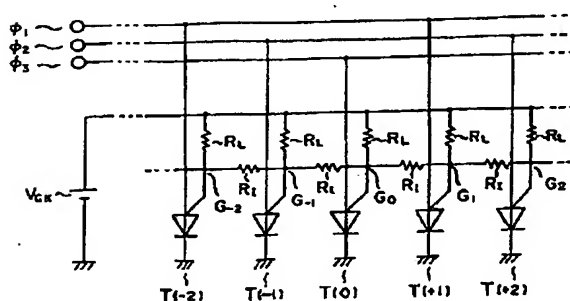
28 ITO膜

30 140 A1配線

【図2】

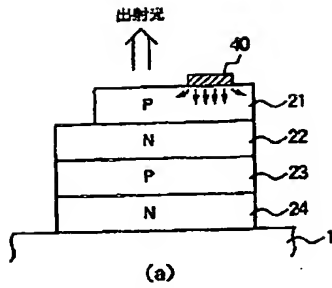


【図3】

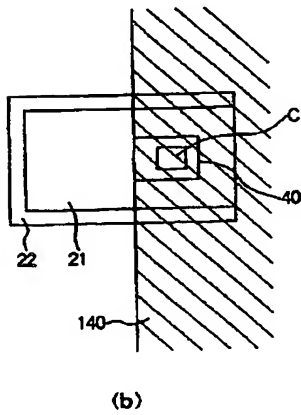
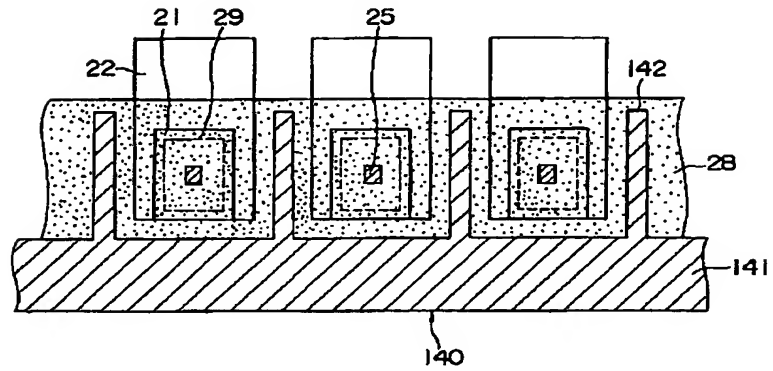




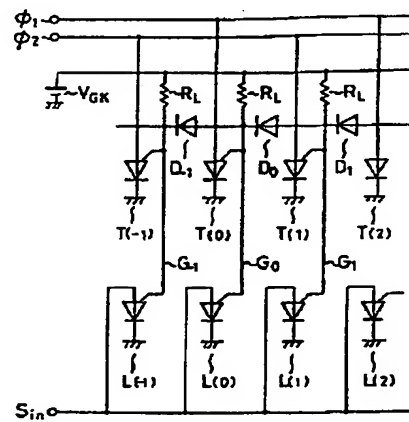
【図1】



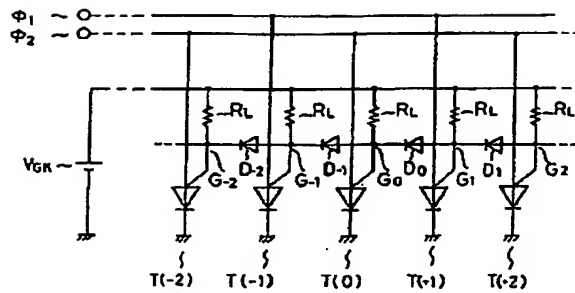
【図4】



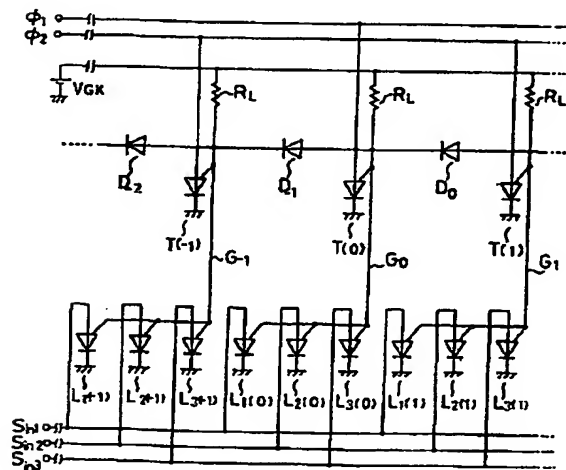
【図6】



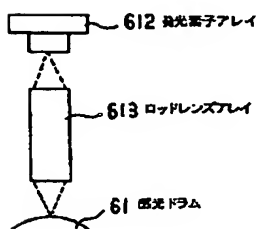
【図5】



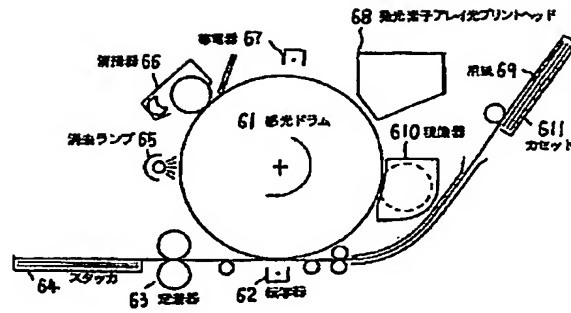
【図7】



【図9】



【図8】



フロントページの続き

(51) Int. Cl. <sup>6</sup>  
H 0 1 L 29/74

識別記号 庁内整理番号 F I

技術表示箇所

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**